

KOREAN LAID-OPEN PATENT PUBLICATION

- (1) Publication number : 2000-0018685
- (2) Publication date : April 06, 2000
- (3) Application number : 1998-0036383
- (4) Filing date : September 01, 1998
- (5) Applicant : SAMSUNG ELECTRONICS CO., LTD.
- (6) Inventor : KIM, JAE YEOL

PARK, CHANG SU

- (7) Title of Invention : FRAME COMPOSING DEVICE AND METHOD
FOR SUB-FRAME TRANSMISSION IN
MOBILE COMMUNICATION SYSTEM

(8) Abstract :

PURPOSE: A method for composing frame data of a mobile communication system using a turbo encoder is provided to transmit data with a sub-frame unit utilizing an automatic repeating request method.

CONSTITUTION: Many sub-frames of an automatic repeating request block are formed in a channel coding block. Preset bits are inserted into a position where an error probability is great out of information bits of

THIS PAGE BLANK (USPTO)

the sub-frames. After each of the sub-frames is composed of information bits and insertion bits, the sub-frames are coded.

THIS PAGE BLANK (USPTO)

引用例 1 の写し

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
H04B 1/707

(11) 공개번호 특2000-0018685
(43) 공개일자 2000년04월06일

(21) 출원번호	10-1998-0036383
(22) 출원일자	1998년09월01일
(71) 출원인	삼성전자 주식회사 윤종용 경기도 수원시 팔달구 매탄3동 416
(72) 발명자	김재열 경기도 군포시 산본2동 산본9단지 백두아파트960동 1401호 박창수 서울특별시 송파구 문정동72-2 동암주택 에이동 304호
(74) 대리인	이건주

심사청구 : 없음

(54) 이동통신 시스템에서 서브 프레임 전송을 위한 프레임구성장치 및 방법

요약

터보부호기를 사용하는 이동통신 시스템의 프레임 데이터 구성 방법이며, 채널코딩 블록 내에 에이알큐 블록의 다수 서브 프레임들을 구성하며, 서브 프레임들의 정보비트를 중 오류 확률이 큰 위치에 미리 설정한 특정 비트들을 삽입하여 정보비트를 및 삽입비트들로 구성한다.

도표도

도3

명세서

도면의 간단한 설명

도 1은 길쌈부호기를 사용하는 종래의 이동통신 시스템에서 서브 프레임을 고려한 계층적 프레임 구성을 도시하는 도면
도 2는 터보부호기를 사용하는 종래의 이동통신 시스템에서 서브 프레임을 고려한 계층적 프레임 구성을 도시하는 도면
도 3은 본 발명의 실시예에 따라 터보부호기를 사용하는 이동통신 시스템에서 서브프레임을 고려한 계층적 프레임 구성을 도시하는 도면
도 4는 본 발명의 실시예에 따라 터보부호기를 사용하는 이동통신 시스템에서 서브프레임을 고려한 계층적 프레임 구성을 도시하는 도면으로써, 터보부호기가 터보 테일비트를 이용하여 터미네이션을 하지 않는 경우의 도면
도 5는 본 발명의 실시예에 따라 터보부호기를 사용하는 이동통신 시스템에서 서브프레임을 고려한 계층적 프레임 구성을 도시하는 도면으로써, CRC 비트를 사용하지 않는 경우의 도면
도 6은 본 발명의 실시예에 따라 터보부호기를 사용하는 이동통신 시스템에서 서브프레임을 고려한 계층적 프레임 구성을 도시하는 도면으로써, 터보테일비트 및 CRC 비트를 사용하지 않는 경우의 도면
도 7a 및 도 7b는 본 발명의 실시예에 따라 터보부호기를 사용하는 이동통신 시스템에서 서브프레임을 고려한 계층적 프레임 구성에서 삽입비트의 개수에 따른 성능 변화의 시뮬레이션 결과를 도시하는 도면
도 8은 도 3과 같은 서브프레임 고려한 계층적 프레임 구성에 대한 본 발명의 제1실시예에 따른 채널 부호화 장치의 구성을 도시하는 도면
도 9는 도 4와 같은 서브프레임 고려한 계층적 프레임 구성에 대한 본 발명의 제2실시예에 따른 채널 부호화 장치의 구성을 도시하는 도면
도 10은 도 3과 같은 서브프레임 고려한 계층적 프레임 구성에 대한 본 발명의 제3실시예에 따른 채널 부호화 장치의 구성을 도시하는 도면
도 11은 도 3과 같은 서브프레임 고려한 계층적 프레임 구성에 대한 본 발명의 제4실시예에 따른 채널 부호화 장치의 구성을 도시하는 도면
도 12는 도 8과 같은 구성을 갖는 본 발명의 제1실시예에 따른 터보 부호기의 동작 타이밍을 도시하는 도

면

도 13은 도 9와 같은 구성을 갖는 본 발명의 제2실시예에 따른 터보 부호기의 동작 타이밍을 도시하는 도면

도 14는 도 10과 같은 구성을 갖는 본 발명의 제3실시예에 따른 터보 부호기의 동작 타이밍을 도시하는 도면

도 15는 도 11과 같은 구성을 갖는 본 발명의 제4실시예에 따른 터보 부호기의 동작 타이밍을 도시하는 도면

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 이동통신 시스템의 데이터 통신장치 및 방법에 관한 것으로, 특히 서브프레임 단위로 데이터를 전송할 수 있는 프레임 구성 장치 및 방법에 관한 것이다.

하기의 설명에서 '정보비트'라는 용어는 부호화하지 않은 데이터를 의미하며, '심볼'이라는 용어는 채널 부호기를 통해 부호화된 데이터를 의미한다.

일반적으로 음성, 문자, 화상, 영상 등의 신호를 처리하는 통신시스템에서 사용되는 대부분의 데이터들은 프레임 단위로 전송이 이루어진다. 특히 패킷스위칭(Packet Switched) 전송 방식의 통신시스템에서 처리량(Throughput)은 전체 수신된 프레임 중에서 오류가 생기지 않은 프레임의 개수로 나타낼 수 있다. 만약 채널 환경이 나쁜 경우에 매우 긴 프레임 단위로 데이터를 전송하면 오류가 발생하는 프레임이 많아지므로 처리량이 감소하게 된다. 한편 수신기의 복잡도는 수신된 프레임의 길이에 따른 계산량에 비례한다. 따라서 채널 환경 및 수신기의 복잡도 등을 고려할 때 서브프레임(sub-frame)으로 나누고 ARQ(Automatic Repeat Request; 이하 'ARQ'라 칭한다) 방식을 이용하여 전송하는 방법이 필요하다.

그러나 음성 뿐만 아니라 다양한 데이터 서비스를 제공하는 통신시스템은 전송을 및 서비스 종류에 따라 특성이 다른 채널부호화기(channel coder)를 사용한다. 특히 저속의 음성 및 데이터 전송에는 길쌈부호기(Convolutional Coder)를 사용하고 고속 데이터 전송에는 터보부호기(Turbo Coder)를 이용하는 방법 등이 알려져 있다. 그리고 상기와 같은 프레임 데이터를 통신하는 시스템에서 오류 정정을 위한 채널부호기도 프레임 단위로 데이터를 부호화하여야 한다. 이러한 경우 부호기의 마지막 상태를 알 수 있도록 터미네이션(termination: zero tail biting) 해조면 복호시 이 정보를 이용하여 복호기의 성능을 높일 수 있게 된다. 일반적으로 IS-95 방식에서 널리 사용되고 있는 길쌈 부호기(Convolutional Coder)은 비순환 구조를 가지며, 상기 비순환 구조의 길쌈 부호기의 터미네이션은 입력 정보비트의 마지막 위치에 지연기 개수 만큼의 0 비트를 부가하여 구현한다.

한편 일반적인 터보부호기는 두 개의 직렬 혹은 병렬연결된 순환길쌈부호기로 구성되며 두 개의 순환길쌈부호기 사이에 터보인터리버가 존재한다. 특히 터보부호기의 구성부호기에 사용되는 순환길쌈부호기의 경우 종래의 비순환 길쌈부호기와는 달리 단순히 지연기 개수 만큼 0 비트를 입력되는 정보 비트에 덧붙여도 터미네이션이 이루어지지 않는다. 이는 입력 정보비트가 피드백되어 다시 지연기에 입력되기 때문이며, 순환길쌈부호기의 경우에 대하여 피드백값을 이용한 터미네이션 방법과 터미네이션을 하지 않고 복호하는 방법이 잘 알려져 있다(참조문헌: Mark C. Reed and Steven S. Pietrobon, 'Turbo-Code Termination Schemes and a Novel Alternative for Short Frames', PIMRC '96, Oct. 15-18, 1996).

상기 채널부호기의 종류에 따라 신호대잡음비(Signal-to-Noise Ratio; 이하 SNR 라고 칭한다)와 비트오류율(Bit Error Rate; 이하 BER 이라 칭한다) 및 프레임오류율(Frame Error Rate; 이하 FER 이라 칭한다)과의 관계가 다르다. 예를들어, 터보부호기의 경우에 일정한 BER 혹은 FER 성능을 유지하기 위하여 요구되는 SNR 값은 전송되는 프레임 크기가 길수록 작아도 된다. 그러나 길쌈부호기의 경우에는 일정한 BER 성능을 유지하기 위하여 요구되는 SNR 값은 전송되는 프레임 크기에 상관없이 비교적 일정하지만, 프레임 크기가 길어짐에 따라 FER 성능은 저하된다. 따라서 상기 서로 다른 특성을 가지는 두 채널부호기를 사용하는 통신시스템의 성능을 최적화 하기 위한 서브프레임 구성 방법이 필요하다.

하기의 설명에 있어서 길쌈부호기는 구속장(Constraint length)이 9이고, 터보부호기는 구속장이 40이고, 모두 전송율이 1/3이라고 가정한다.

도 1은 종래의 서브프레임을 고려한 계층적 프레임 구성을 도시한 도면으로, 채널부호기는 길쌈부호기를 사용한 예를 도시하고 있다. 상기 도 1은 4가지의 계층구조를 포함하며 물리계층 프레임 102, 인터리버 블록 101, 채널코딩 블록 103, ARQ 블록 104으로 구성된다. 상기 인터리버 블록 101은 여러개의 물리계층 프레임 102를 포함할 수도 있고, 반대로 물리계층 프레임 102는 여러개의 인터리버 블록 101을 포함할 수도 있다. 그러나 본 발명에서는 하나의 인터리버 블록 101이 하나의 물리계층 프레임 102를 구성하는 것으로 가정하도록 한다. 물리계층 프레임 102는 여러개의 채널코딩 블록 103을 포함할 수도 있으며, 채널코딩 블록 103은 여러개의 ARQ 블록 104을 포함할 수도 있다. 각각의 ARQ 블록 104는 정보비트와 0(zero)비트를로 구성된다. 보다 명확한 이해를 위하여 전송율이 38.4Kbps인 경우를 예로 들기로 한다. 하기의 설명에 있어서 CRC 는 16비트라고 가정한다.

상기 ARQ 블록 104가 하나뿐인 경우에는 정보비트(N)가 744비트, CRC가 16비트, 길쌈테일비트가 8비트로써 프레임 구성하는 전체 비트수는 768비트가 된다. 그러나 ARQ 블록 104가 두 개의 제1 ARQ 블록 104-A 및 제2 ARQ 블록 104-B로 구성된다면, 제1 정보비트 111 및 제2 정보비트 121은 각각 360비트, 제1 CRC비트 112 및 제2 CRC 비트 122가 각각 16비트, 제1 부가비트 113 및 길쌈테일비트 123이 각각 8비트로써 프레임을 구성하는 전체 비트수는 768비트가 된다. 그러나, 상기 두 가지 경우에 있어서 채널코딩

블록 103의 입력 데이터 비트수는 768비트로써 동일하며 프레임 구성하는 768비트가 채널부호화된 심볼의 개수는 $768 \times 3 = 2304$ 비트가 된다. ARQ 블록 104가 제1 ARQ 블록 104-A 및 제2 ARQ 블록 104-B로 구성된 경우는 추가적으로 제1 CRC비트112의 16비트 및 제1 부가비트113의 8비트가 포함되므로 오버헤드(Overhead)가 증가하게 되는 단점이 있지만, 상기 ARQ를 이용한 재전송(Retransmission)을 할 수 있는 장점이 있다. 또 만약 제1 부가비트113이 8개의 0으로 구성될 경우, 제1 ARQ 블록 104-A의 터미네이션(Termination)을 위한 테일비트로 이용할 수 있다.

이하 하기의 설명에 있어서 부가비트는 8개의 0이 연속적으로 존재하는 것을 의미하며, 부가비트의 개수는 달라질 수도 있다. 상기 도 1의 경우와 같이 길쌈부호기를 이용하는 경우에 있어서 제1 부가비트113이 제1 ARQ 블록 104-A의 터미네이션에 이용될 수 있으며, 만약 상기 ARQ 블록 104가 여러 개의 서브 ARQ 블록 104-A, 104-B로 구성되는 경우에도 마찬가지로 상기 부가비트를 터미네이션에 사용할 수 있다. 따라서 제1 ARQ 블록 104-A 및 제2 ARQ 블록 104-B가 각각 독립적으로 터미네이션이 되므로, 두 개의 서브 ARQ 블록을 수신기에서 병렬로 동시에 복호를 할 수도 있다. 즉, 길쌈부호기의 경우에는 서브프레임 구성을 이용하는 경우에도 상기 부가비트로 인하여 채널코딩 블록과 ARQ 블록의 크기가 동일하게 될 수 있다.

도 2는 종래의 서브프레임을 고려한 계층적 프레임 구성을 도시한 도면으로, 상기 채널부호기는 터보부호기를 사용한 예를 도시하고 있다. 상기 도 2에서 터보테일비트 223은 8개의 비트로 구성되며, 그 값은 연속적인 0 비트가 아니라 터보부호기를 구성하는 순환길쌈부호기의 피드백값에 따라 다양한 값을 가진다. 상기 도 2에서 채널코딩 블록 103 내에 존재하는 터보인터리버는 ARQ 블록 104 들의 데이터 전체를 스크램블링(Scrambling)한 뒤 터보부호화를 수행하므로, 복호시 상기 도 1처럼 서브 ARQ 블록들을 각각 독립적으로 복호할 수가 없다. 즉, 터보부호기의 경우에 있어서 ARQ 블록 104가 여러개의 서브 ARQ 블록으로 구성된다면, 복호는 전체 ARQ 블록을 한꺼번에 복호할 수 밖에 없다. 이 경우에는 상기 ARQ 블록 104를 서브 ARQ 블록 104-A, 104-B로 분할하더라도 길쌈부호기처럼 병렬로 동시에 복호를 수행하는 장점을 가질 수 없다.

따라서 상기 터보 부호기를 사용하는 이동통신 시스템에서는 상기 ARQ 방식의 전송을 위한 서브 프레임 구성 방법을 고려할 때 상기 길쌈부호기가 가지는 특성을 유지하면서도 터보부호기의 성능을 최대로 하는 것이 바람직하다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 터보부호기를 사용하는 이동통신 시스템에서 ARQ 방식을 이용하여 서브 프레임 단위로 데이터를 전송하기에 적합한 프레임장치 및 방법을 제공함에 있다.

본 발명의 다른 목적은 이동통신 시스템에서 서브프레임을 고려한 계층적 프레임 구성시 전체 ARQ 블록 프레임 내에서 오류 확률이 큰 위치에 미리 설정한 특정 비트를 삽입하여 부호화한 후 전송할 수 장치 및 방법을 제공함에 있다.

본 발명의 다른 목적은 이동통신 시스템에서 서브 프레임을 고려한 계층적 프레임 구성시 테일비트를 이용하여 터미네이션을 하지 않고 전체 ARQ 블록 프레임 내에서 오류 확률이 큰 위치에 미리 설정한 특정 비트를 삽입하여 부호화한 후 전송할 수 있는 장치 및 방법을 제공함에 있다.

본 발명의 다른 목적은 이동통신 시스템에서 서브 프레임을 고려한 계층적 프레임 구성시 CRC 비트를 사용하지 않고 전체 ARQ 블록 프레임 내에서 오류 확률이 큰 위치에 미리 설정한 특정 비트를 삽입하여 부호화한 후 전송할 수 있는 장치 및 방법을 제공함에 있다.

본 발명의 다른 목적은 이동통신 시스템에서 서브 프레임을 고려한 계층적 프레임 구성시 CRC 비트 및 테일비트를 사용하지 않고 전체 ARQ 블록 프레임 내에서 오류 확률이 큰 위치에 미리 설정한 비트를 삽입하여 부호화한 후 전송할 수 있는 장치 및 방법을 제공함에 있다.

상기 목적을 달성하기 위한 본 발명은 터보부호기를 사용하는 이동통신 시스템의 프레임 데이터 구성 방법, 채널코딩 블록 내에 에이말류 블록의 다수 서브 프레임들을 구성하며, 상기 서브프레임들의 정보비트를 중 오류 확률이 큰 위치에 미리 설정한 특정 비트를 삽입하여 각 서브프레임들을 정보비트 및 삽입비트들로 구성된 후 부호화 함을 특징으로 한다.

발명의 구성 및 작용

이하 본 발명의 바람직한 실시예들의 상세한 설명이 첨부된 도면들을 참조하여 설명될 것이다. 하기의 설명에 있어서 도면들 중 동일한 구성들은 가능한한 어느 곳에서든지 동일한 부호들을 나타내고 있음을 유의하여야 한다.

하기 설명에서 구성부호기들의 부호화를 및 프레임 데이터를 구성하는 비트 수 등과 같은 특정 상세들이 본 발명의 보다 전반적인 이해를 제공하기 위해 나타나 있다. 이들 특정 상세를 없이 또한 이들의 변형에 의해서도 본 발명이 용이하게 실시될 수 있다는 것은 이 기술분야에서 통상의 지식을 가진 자에게 자명할 것이다.

도 3은 본 발명의 제1 실시예에 따른 서브프레임을 고려한 계층적 프레임 구성을 도시한 도면으로, 채널부호기는 터보부호기를 사용한 예를 도시하고 있다.

상기 도 3과 같은 구조를 갖는 본 발명의 제1 실시예에 따른 프레임 구성 방법은 전체 ARQ 블록 104 프레임 내에서 오류확률이 큰 위치에 미리 설정한 특정 비트를 삽입하는 방법이다. 이때 상기 오류 확률은 실험적으로 구하며, 삽입 위치는 채널 부호기 및 채널 복호기가 서로 알고 있어야 한다. 이때 상기 삽입되는 특정비트의 삽입위치 및 비트값을 송신측과 수신측이 서로 알고 있다면 전송하거나 말거나 크게 상관 없으며, 또한 부호화 비트와 별도로 수신측과 약속된 데이터 정보 등이 될 수 있다. 이하 하기의 설명에 있어서 삽입비트의 특정값은 0 비트이고 터보부호화한 다음 터보부호기의 삽입비트를 송신하지 않는 것으로 가정한다.

상기 터보부호기는 입력되는 정보비트를 그대로 출력하는 부분과, 패리티를 출력하는 부분으로 구성되는데, 그 중 정보 비트를 출력하는 부분에서 상기 미리 설정된 삽입위치의 비트 값을 임의로 천공(Puncturing)할 수 있기 때문에, 상기 삽입비트를 송신하지 않는 것도 가능하다. 그러나 상기 삽입비트의 값은 1 이 될 수도 있으며, 터보부호화한 다음 삽입비트를 그대로 전송할 수도 있다. 또한 상기 삽입비트의 개수에 따라 FER 성능이 달라질 수 있다. 즉, 상기 삽입 비트의 개수가 많을수록 FER 성능이 향상되는 것은 자명한 일이다.

한편 상기 도 1 및 도 2의 부가비트는 연속적으로 비트가 덧붙여지는 것이나, 삽입비트는 연속적으로 비트를 덧붙일 수도 있고, 전체 ARQ 프레임 내부에 임의로 분포시킬 수도 있다. 이것은 길쌈부호기의 경우 상기 부가비트가 서브프레임의 터미네이션에 이용되기 위하여 지연기의 개수만큼 연속적으로 존재하여야 하지만, 터보부호기는 전체 ARQ 프레임을 한꺼번에 부호화하기 때문에 반드시 삽입비트가 연속적으로 존재할 필요가 없기 때문이다.

본 발명의 제1실시예에 따른 프레임 구성은 상기 도 1에서와 같이 전송율이 38.4Kbps인 경우를 예로 들기로 한다. 상기 도 3에서 제1 정보비트 111 및 제2 정보비트 121은 각각 360비트, 제1 CRC비트 112 및 제2 CRC비트 122가 각각 16비트, 제1 삽입비트 113은 12비트, 터보테일비트 123이 8비트로써, 상기 프레임을 구성하는 전체 비트수는 772비트가 되며, 채널 부호화된 심볼의 개수는 $772 \times 3 = 2316$ 비트가 된다. 따라서 도 1에 도시된 부가비트 개수보다 4비트가 많다. 그러나 상기 채널부호화된 심볼 중에서 삽입비트 개수만큼 천공을 하면 최종적으로 출력되는 심볼의 개수는 $2316 - 12 = 2304$ 비트가 된다. 따라서 채널 부호기에서 출력되는 출력되는 최종 심볼의 수는 상기 도 1의 예에서 살펴본 심볼의 개수와 동일하다.

도 4는 본 발명의 제2실시예에 따른 서브프레임을 고려한 계층적 프레임 구성을 도시한 도면으로, 채널부호기는 터보부호기를 사용하여 터보 테일비트를 이용하여 터미네이션을 하지 않는 경우의 프레임 구조를 도시하는 도면이다. 이는 터미네이션을 하지않고도 터보복호기에서 복호가 가능하기 때문이다[참조문헌: Mark C. Reed and Steven S. Pietrobon, 'Turbo-Code Termination Schemes and a Novel Alternative for Short Frames', PIMRC'96, October 15-18 1996].

상기 도 4를 참조하면, 제2 삽입비트 423은 ARQ 프레임을 터미네이션 하지않음으로써 발생하는 성능저하를 보상시키기 위하여 삽입하는 비트로써 제1 삽입비트 313와 같이 전체 ARQ 블록 104 프레임내에서 오류 확률이 큰 위치에 미리 설정한 특정 비트를 삽입하는 방법이다. 이때 제2 삽입비트를 위한 상기 오류 확률은 실험적으로 구하며, 삽입 위치는 채널 부호기 및 채널 복호기가 서로 알고 있어야 한다. 또한 상기 삽입되는 특정비트의 삽입위치 및 비트값을 송신측과 수신측이 서로 알고 있다면 전송하거나 말거나 크게 상관 없으며, 또한 부호화 비트와 별도로 수신측과 약속된 데이터 정보 등이 될 수 있다. 이하 하기의 설명에 있어서 제2 삽입비트의 특정값은 0 비트이고 터보부호화한 다음 터보부호기의 삽입비트를 송신하지 않는 것으로 가정한다.

도 5는 본 발명의 제3실시예에 따른 서브프레임을 고려한 계층적 프레임 구성을 도시한 도면으로, 채널부호기는 터보부호기를 사용하여, CRC 비트를 사용하지 않는 경우의 프레임 구조를 도시하는 도면이다.

상기 도 5를 참조하면, 터보부호기는 터보테일비트를 이용하여 터미네이션을 수행한다. 터보부호기의 경우 채널코딩이 서브프레임 단위로 이루어지는 것이 아니라 전체 ARQ 프레임 104 단위로 이루어지므로 Throughput의 증가 및 채널부호기의 성능 향상을 위해서 CRC 비트를 제거할 수도 있다. 즉, 길쌈부호기의 경우에는 8개의 0비트로 이루어진 부가비트를 이용하여 서브 ARQ 프레임으로 분리하여 송신할 경우 수신측에서는 각 서브 ARQ 프레임 단위로 복호가 가능하나, 터보부호기는 전체 ARQ 프레임 단위로 복호가 가능하기 때문에 길쌈부호기를 위한 서브 프레임구조에서 CRC 비트를 제거하고 CRC비트 개수만큼 정보비트를 더 보내거나 삽입비트의 개수를 증가시킴으로써 Throughput을 증가시키거나 터보부호기의 성능을 향상시킬 수 있다. 도 5의 제1 정보비트 511 및 제2 정보비트 521은 도 3과 4의 CRC 비트 개수만큼 증가할 수 있다. 또 상기 CRC비트 개수만큼 제1 및 제2 정보비트 511 및 521을 CRC 비트 개수만큼 증가시키지 않고, 제1삽입비트513의 개수를 CRC비트개수의 2배만큼 증가시켜 터보부호기의 성능을 향상시킬 수도 있다.

도 6은 본 발명의 제4실시예에 따른 서브프레임을 고려한 계층적 프레임 구성을 도시한 도면으로, 채널부호기는 터보부호기를 사용하여 테일비트 및 CRC 비트를 사용하지 않는 경우의 프레임 구조를 도시하는 도면이다.

상기 도 6을 참조하면, 터보부호기는 터보테일비트를 이용한 터미네이션을 하지않고 제2 삽입비트를 추가한 구조이다. 도 6의 구조와 같이 CRC 비트를 제거하고 CRC비트 개수만큼 제1 정보비트 511 및 제2 정보비트 521을 증가시켜 처리율을 향상시킬 수 있다. 또 제1 및 제2 정보비트 511 및 521을 CRC 비트 개수만큼 증가시키지 않고, 제1삽입비트 513의 개수를 CRC비트개수의 2배만큼 증가시켜 터보부호기의 성능을 향상시킬 수도 있다.

도 7a는 본 발명의 제1실시예에 따른 서브프레임을 고려한 계층적 프레임 구조를 사용하는 이동통신 시스템에서 삽입비트의 개수에 따른 성능변화를 표시한 시뮬레이션 결과를 도시하는 도면이다. 상기 도 7a와 같은 시뮬레이션에 사용된 조건은 다음과 같다.

- * Channel model: ITU-R Rec. M.1225 Channel-B
- * Carrier frequency: 2GHz
- * Mobile speed: 3km/h, 30km/h, 60km/h, 120km/h
- * Information bit rate: 32kbps(10ms)
- * Chip Rate = 4.096 Mcps
- * ideal channel estimation
- * Diversity: 2-branch space diversity

- * RAKE: 2 fingers per branch
- * SIR based TPC(dynamic range 12dB, step size 1dB)
- * Turbo-Code: K=3 with polynomial(7,5), MAP decoder with 8 iterations and 8-bit quantization

FER 성능이 10^{-5} 를 유지하기 위하여, 요구되는 SNR의 값은 비트삽입 개수가 많을수록 작아짐을 알 수있다. 따라서 터보부호기의 성능을 최대로 하기 위해서는 삽입비트의 개수를 최대로 하고 채널부호화된 심볼에서 삽입비트를 천공하는 것이 바람직하다.

도 7b는 도 4와 제2실시예에 따른 서브프레임 구조를 이용하여 비트 삽입개수에 따른 성능 변화를 도시한 시뮬레이션 결과이다. 시뮬레이션에 사용된 조건은 상기 도 7a와 동일하다. 터보부호기에서 터보엔탈비트를 이용한 터미네이션을 하지않고 제2 삽입비트를 덧붙이는 방법을 이용하였다. 도 7b의 시뮬레이션 결과에서 알 수 있듯이 삽입비트의 개수가 많을수록 FER 10^{-5} 성능에 필요한 SNR 값이 감소한다.

본 발명의 제1실시예-제4실시예에 따른 서브프레임을 고려한 채널부호기의 동작을 살펴본다.

제1실시예

도 8은 상기 도3과 같은 본 발명의 제1실시예에 따른 서브프레임을 고려한 계층적 프레임 구성에 대한 채널부호화장치를 도시한다. 도 12는 상기 도 8과 같은 구조를 가지며, 본 발명의 제1실시예에 따른 서브프레임 구조를 갖는 데이터를 부호화하는 채널 부호기의 동작을 도시하고 있다.

상기 도 8 및 도 12를 참조하면, 먼저 입력비트 k들이 입력되면 스위치880은 입력비트와 801을 연결하고, 스위치 881은 801과 802를 연결하여 제1정보비트들을 부호화기에 인가되고, 동시에 CRC비트생성기 820은 802와 803을 연결하여 상기 라인 803의 제1정보비트들을 부호화기에 인가되고, 동시에 CRC비트생성기 820은 라인 802 상의 제1정보비트들을 입력하여 CRC 비트들을 생성한다. 상기과 같은 상태에서 상기 도3의 360비트의 제1정보비트들이 모두 입력이 되는 동안, 상기 CRC비트생성기 820에 제1정보비트가 입력이 되어 제1정보비트에 대한 CRC비트들을 계산한다.

이후 상기 제1정보비트가 모두 입력이 되면 스위치880은 지연기 810으로 연결이 되고, 스위치 881은 잠시 끊어져서 802로의 입력을 중단하여 이후의 입력비트들인 제2정보비트들을 지연기 810에 저장한다. 그리고 스위치 882는 CRC비트생성기820로 연결이 되면, 상기 CRC비트생성기820에서 제1정보비트에 대한 16비트의 CRC비트들을 출력되어 스위치882를 통해 부호화기에 인가된다. 상기 CRC비트들의 입력이 종료되면, 다시 스위치882는 삽입비트생성기 830로 연결되어 미리 설정되어 알고 있는 비트인 삽입비트들이 스위치 882를 통해 부호화기로 입력된다.

이렇게 제1정보비트들에 대한 과정이 끝나면, 상기 스위치 880은 지연기810과 연결된 채로 유지되고, 스위치881은 지연기810에 연결되어 저장되어 있던 제2정보비트들을 802로 입력시킨다. 또, 동시에 상기 스위치882는 다시 802로 연결되어 제2정보비트가 부호화기에 입력되고, 상기 802로 입력된 제2정보비트들은 CRC비트생성기820에 입력되어 제2정보비트에 대한 CRC비트들이 계산된다.

이후 상기 제2정보비트가 모두 입력이 되면, 상기 스위치 882는 CRC비트생성기820로 연결이 되면서 상기 CRC비트생성기820에서 제2정보비트에 대한 16비트의 CRC비트들을 출력되어 스위치882를 통해 부호화기로 입력이 된다. 이런 방식으로, 제1정보비트, 제1CRC비트, 제1삽입비트, 제2정보비트와 제2CRC비트가 부호화 부분에 대한 입력이 끝나면 부호화 부분에서는 이 입력된 비트들에 대한 부호화 과정이 시작된다.

여기서 상기 부호화기는 제1구성부호기850, 인터리버840, 제2구성부호기880 및 멀티플렉서870으로 구성된다. 여기서 상기 제1실시예의 구성 부호기850 및 860은 비트 삽입 및 테일비트를 부가하여 터미네이션 기능을 수행한다. 상기 부호화기에 입력된 신호들은 멀티플렉서870, 제1구성부호기850 및 인터리버840에 각각 입력된다. 그리고 상기 인터리버840에서 출력되는 인터리빙된 입력비트들은 제2구성부호기860에 인가된다. 여기서 제1구성부호기850과 제2구성부호기는 순환 구조를 갖는 구성부호기로서 테일비트를 생성하여 부가하는 구조를 갖는다.

상기 제1구성부호기850의 동작을 살펴보면, 제1구성부호기850은 입력되는 비트들을 부호화하여 출력하고, 터미네이션을 위한 테일비트들에 대한 부호화된 비트들이 발생된다. 상기 제1구성부호기850을 통해 입력비트들의 제1패리티 비트들과 테일비트들을 출력하고, 출력된 비트들은 다시 멀티플렉서870에 입력된다.

또한 상기 인터리버840은 상기 부호화기에 입력된 입력비트들을 인터리빙하여 제2구성부호기860에 입력시키며, 상기 제2구성부호기860은 상기 제1구성부호기850과 동일한 방법으로 인터리빙된 정보비트들을 부호화하여 제2패리티 비트와 테일비트들을 발생한다. 그리고 상기 제2구성부호기860에서 출력되는 제2패리티 비트들과 테일비트들도 상기 멀티플렉서870에 인가된다. 그러면 상기 멀티플렉서870은 상기 정보비트 k에 삽입비트들을 천공하여 출력하고 선택하여 출력한다.

상기와 같은 구성을 갖는 부호화기의 동작은 본원출원인에 의해 선포된 대한민국 특허 출원번호 P1998-13956 (통신시스템의 채널 부호화 장치 및 방법)에 상세하게 개시되어 있다.

따라서 상기 도 8과 같은 채널 부호기는 도 4와 같은 제1실시예와 같은 프레임 구조의 데이터를 발생하여 전송하게 될을 알 수 있다. 도 12는 상기 제1실시예의 서브프레임 구조의 데이터를 발생하는 과정을 도시하는 타이밍도로써, X 축은 스위치880, 881 및 882의 동작을 표시하고, Y 축은 시간으로 상기 스위치들에서 출력되는 비트들의 타이밍을 도시하고 있다.

복호화 과정에서는 위의 멀티플렉서의 출력값들을 멀티플렉서의 역으로 진행시키면 천공부분에 우리가 알고 있는 삽입비트를 천공하는데 이때 정보비트부분의 비트삽입부분에 -5라는 값을 천공한다. 이과정을 거친 비트들을 기존의 복호기로 복호화 한다[참조 : Claude Berrou, Alain Glavieux and Punya Thitmaishima "Near Shannon Limit Error-Correcting Coding and Decoding : Turbo-Codes(1)"].

제2실시예

도 9는 상기 도 4와 같은 구조를 갖는 본 발명의 제 2 실시예에 따른 서브프레임을 고려한 계층적 프레임 구성에 대한 채널부호화장치를 도시한다. 도 13은 상기 도 9와 같은 구조를 가지며 본 발명의 제 2 실시예에 따른 서브프레임 구조를 갖는 데이터를 부호화하는 채널 부호기의 동작은 도시하고 있다.

상기 도 9 및 도 13을 참조하면, 먼저 입력비트 1k들이 입력되면, 스위치 980은 입력비트와 라인 901을 연결하고, 스위치 981은 901과 902를 연결하여 제 1 정보비트들이 902에 입력된다. 이 때 스위치 982는 902와 903을 연결하여 부호화기로 바로 입력이 되고, 동시에 라인 902의 제 1 정보비트들이 CRC비트생성기 920에 입력된다. 이렇게 상기 도 4의 360비트의 제 1 정보비트들이 모두 입력이 되는 동안 CRC비트생성기 920에 제 1 정보비트가 입력이 되어 제 1 정보비트에 대한 CRC비트들을 계산한다.

이후 상기 제 1 정보비트가 모두 입력이 되면, 상기 스위치 980은 지연기 910에 연결이 되고, 상기 스위치 981은 잠시 끊어져서 라인 902로의 입력이 중단되며, 이후의 입력비트들이 제 2 정보비트들을 지연기 910에 저장된다. 그리고 스위치 982는 CRC비트생성기 920로 연결이 되면, 상기 CRC비트생성기 920에서 제 1 정보비트에 대한 16비트의 CRC비트들을 출력하여 스위치 982를 통해 부호화기 입력된다. 이렇게 CRC비트들의 입력이 종료되면, 다시 스위치 982는 삽입비트생성기 930에 연결되어 미리 설정되어 알고 있는 비트인 제 1 삽입비트들이 스위치 982를 통해 부호화기에 입력된다.

이렇게 제 1 정보비트들에 대한 입력이 종료되면, 상기 스위치 980은 지연기 910과 연결된 채로 유지되고, 스위치 981은 지연기로 연결되어 저장되어 있던 제 2 정보비트들을 902로 입력시킨다. 또, 동시에 스위치 982는 다시 902에 연결되어 제 2 정보비트를 부호화기에 입력시키고, 또 동시에 902로 입력된 제 2 정보비트들은 CRC비트생성기 920에 입력이 되어 제 2 정보비트에 대한 CRC비트들을 계산한다.

상기 제 2 정보비트가 모두 입력이 되면, 상기 스위치 982는 CRC비트생성기 920에 연결되며, 상기 CRC비트생성기 920은 제 2 정보비트에 대한 16비트의 CRC비트들이 출력되어 상기 스위치 982를 통해 부호화기 입력된다. 이렇게 CRC비트들의 입력이 종료되면, 다시 상기 스위치 982는 삽입비트생성기 930에 연결되어 미리 설정되어 알고 있는 비트인 제 2 삽입비트들이 스위치 982를 통해 부호화기에 입력된다. 이런 방식으로, 제 1 정보비트, 제 1 CRC비트, 제 1 삽입비트, 제 2 정보비트, 제 2 CRC비트와 제 2 삽입비트가 부호화 부분에 대한 입력이 끝나면, 상기 부호화기는 상기 도 4와 같은 서브 프레임 구조로 입력되는 비트들에 대한 부호화 과정이 시작된다.

여기서 상기 부호화기는 제 1 구성부호기 850, 인터리버 840, 제 2 구성부호기 880 및 멀티플렉서 870으로 구성된다. 상기 제 2 실시예의 구성 부호기 950 및 960은 터미네이션 기능을 수행하지 않는다. 상기 부호화기에 입력된 신호들은 멀티플렉서 970, 제 1 구성부호기 950 및 인터리버 940에 각각 입력된다. 그리고 상기 인터리버 940에서 출력되는 인터리빙된 입력비트들은 제 2 구성부호기 960에 인가된다. 여기서 제 1 구성부호기 950과 제 2 구성부호기 960은 순환 구조를 갖는 구성부호기로써 터미네이션을 위한 테일 비트들을 생성하지 않는 구조의 부호기를 사용한다. 상기 제 2 실시예의 제 1 구성부호기 950의 동작으로 제 1 구성부호기 950의 입력비트들이 부호화되어 출력되고 출력된 비트들은 다시 멀티플렉서 970에 입력된다.

또한 상기 인터리버 940은 상기 부호화 부분에 입력된 입력비트들을 인터리빙하여 제 2 구성부호기 960에 입력시키며, 상기 제 2 구성부호기 960은 상기 제 1 구성부호기 950과 동일한 방법으로 인터리빙된 정보비트들을 부호화하여 제 2 패리티 비트들을 발생한다. 그리고 상기 제 2 구성부호기 960에서 출력되는 제 2 패리티비트들도 상기 멀티플렉서 970에 인가된다. 그러면 상기 멀티플렉서 970은 상기 정보비트 1k에 삽입비트들을 천공하여 출력하고 선택하여 출력한다.

따라서 상기 도 9와 같은 채널 부호기는 도 5와 같은 제 2 실시예와 같은 프레임 구조의 데이터를 발생하여 전송하게 될 수 있다. 도 13은 상기 제 2 실시예의 서브프레임 구조의 데이터를 발생하는 과정을 도시하는 타이밍도로서, X 축은 스위치 980, 981 및 982의 동작을 표시하고, Y 축은 시간으로 상기 스위치들에 출력되는 비트들의 타이밍을 도시하고 있다.

복호화 과정에서는 위의 멀티플렉서의 출력값들을 멀티플렉서의 역으로 진행시키면 천공부분에 우리가 알고 있는 삽입비트를 천공하는데 이때 정보비트부분의 비트삽입부분에 -5리는 값을 천공한다. 이 과정을 거친 비트들을 기존의 복호기로 복호화한다.

제 3 실시예

도 10은 상기 도 5와 같은 구조를 갖는 본 발명의 제 3 실시예에 따른 서브프레임을 고려한 계층적 프레임 구성에 대한 채널부호화장치를 도시한다. 도 14는 상기 도 10과 같은 구조를 가지며, 본 발명의 제 3 실시예에 따른 서브프레임 구조를 갖는 데이터를 부호화하는 채널 부호기의 동작은 도시하고 있다.

먼저 입력비트 1k가 입력되면, 스위치 1080은 입력비트와 1002를 연결하고 스위치 1082는 1002와 1003을 연결하여 제 1 정보비트들이 1002에 입력된다. 이 때 스위치 1082는 1002와 1003을 연결하여 부호화기에 제 1 정보비트를 바로 입력시킨다. 상기와 같이 제 1 정보비트들의 제 1 입력비트들의 입력이 끝나면, 상기 스위치 1082는 삽입비트생성기 1030로 연결되어 미리 설정되어 알고 있는 비트인 제 1 삽입비트들이 스위치 1082를 통해 부호화기에 입력된다.

상기와 같이 제 1 정보비트들에 대한 입력이 종료되면, 상기 스위치 1080은 지연기 1010과 연결되어 유지되고, 상기 스위치 1082는 지연기 1010에 연결되어 저장되어 있던 제 2 정보비트들을 1003에 인가한다. 또한 동시에 상기 스위치 1082는 다시 1002에 연결되어 제 2 정보비트를 부호화기에 모두 입력시킨다. 이런 방식으로, 제 1 정보비트, 제 1 삽입비트 및 제 2 정보비트가 부호화기에 대한 입력이 종료되면, 부호화기는 상기과 같이 입력된 비트들에 대한 부호화 과정을 시작한다.

상기 부호화기는 제 1 구성부호기 1050, 인터리버 1040, 제 2 구성부호기 1060 및 멀티플렉서 1070으로 구성된다. 상기 제 3 실시예의 구성 부호기 1050 및 1060은 비트 삽입 및 테일비트를 추가하여 터미네이션 기능을 수행한다. 상기 부호화기에 입력된 신호들은 멀티플렉서 1070, 제 1 구성부호기 1050 및 인터리버 1040에 각각 입력된다. 그리고 상기 인터리버 1040에서 출력되는 인터리빙된 정보비트들은 제 2 구성부호기 1060에 인가된다.

여기서 제1구성부호기1050과 제2구성부호기1060은 순환 구조를 갖는 구성부호기로서, 테일비트를 생성하여 부가하는 구조를 갖는다. 상기 제3실시예의 제1구성부호기1050의 동작을 살펴보면, 상기 제1구성부호기1050은 입력되는 정보비트들을 부호화하여 출력하고, 터미네이션을 위한 테일비트들에 대한 부호화된 비트들을 발생한다. 상기 제1구성부호기1050을 거쳐 입력 비트들의 제1패리티 비트들과 테일비트들을 출력하고, 출력된 비트들은 다시 멀티플렉서1070에 입력된다.

또한 상기 인터리버1040은 상기 부호화 부분에 입력된 입력비트들을 인터리빙하여 제2구성부호기1060에 입력시키며, 상기 제2구성부호기1060은 상기 제1구성부호기1050과 동일한 방법으로 인터리빙된 정보비트들을 부호화하여 제2패리티 비트와 테일비트들을 발생한다. 그리고 상기 제2구성부호기1060에서 출력되는 제2패리티비트들과 테일비트들도 상기 멀티플렉서1070에 인가된다. 그러면 상기 멀티플렉서1070은 상기 정보비트 1k에 삽입비트들을 천공하여 출력하고 선택하여 출력한다.

따라서 상기 도 10과 같은 채널 부호기는 도 5와 같은 제3실시예와 같은 프레임 구조의 데이터를 발생하여 전송하게 됨을 알 수 있다. 도 14는 상기 제3실시예의 서브프레임 구조의 데이터를 발생하는 과정을 도시하는 타이밍도로써, X 축은 스위치1080, 1081 및 1082의 동작을 표시하고, Y 축은 시간으로 상기 스위치들에서 출력되는 비트들의 타이밍을 도시하고 있다.

복호화 과정에서는 위의 멀티플렉서의 출력값들을 멀티플렉서의 역으로 진행시키면 천공부분에 우리가 알고 있는 삽입비트를 천공하는데 이때 정보비트부분의 비트삽입부분에 -5라는 값을 천공한다. 이과정을 거친 비트들을 기존의 복호기로 복호화 한다

제4실시예

도 11은 상기 도 6과 같은 구조를 갖는 본 발명의 제4실시예에 따른 서브프레임을 고려한 계층적 프레임 구성에 대한 채널부호화장치를 도시한다. 도 15는 상기 도 11과 같은 구조를 가지며, 본 발명의 제4실시예에 따른 서브프레임 구조를 갖는 데이터를 부호화하는 채널 부호기의 동작은 도시하고 있다.

상기 도 11을 참조하면, 먼저 입력비트 1k가 입력되면, 스위치1180은 입력비트와 1102를 연결하고, 스위치 1182는 1102와 1103을 연결하여 제1정보비트들이 1102에 입력된다. 이 때 상기 스위치 1182는 1102와 1103을 연결하여 상기 제1정보비트를 부호화기에 바로 입력시킨다. 상기과 같이 제1정보비트들의 입력이 종료되면, 다시 스위치1182는 삽입비트생성기 1130에 연결되어 미리 설정되어 알고 있는 비트인 제1삽입비트들이 스위치 1182를 통해 부호화기에 입력된다.

상기와 같이 제1정보비트들의 입력이 종료되면, 상기 스위치 1180은 지연기1110과 연결되고, 스위치1182는 지연기1110에 연결되어 저장되어 있던 제2정보비트들이 1103에 입력된다. 또한 동시에 스위치1182는 다시 1102에 연결되어 제2정보비트들이 부호화기에 모두 입력된다. 상기과 같이 제2정보비트들의 입력이 종료되면, 다시 상기 스위치1182는 삽입비트생성기 1130에 연결되어 미리 설정되어 알고 있는 비트인 제2삽입비트들이 스위치 1182를 통해 부호화기에 입력된다. 상기과 같은 방식으로 제1정보비트, 제1삽입비트, 제2정보비트와 제2삽입비트들이 부호화기에 순차적으로 입력되면, 상기 부호화기는 입력되는 비트들에 대한 부호화 과정이 시작된다.

상기 부호화기는 인터리버1140, 제1구성부호기1150, 제2구성부호기1160 및 멀티플렉서1170으로 구성된다. 상기 제2실시예의 구성부호기1150 및 1160은 터미네이션 기능을 수행하지 않는다. 상기 부호화기에 입력된 신호들은 멀티플렉서1170, 제1구성부호기1150 및 인터리버1140에 각각 입력된다. 그리고 상기 인터리버1140에서 출력되는 인터리빙된 입력비트들은 제2구성부호기1160에 인가된다. 여기서 제1구성부호기1150과 제2구성부호기는 순환 구조를 갖는 구성부호기로서 터미네이션을 위한 테일 비트들을 생성하지 않는 구조의 부호기를 사용한다.

상기 제4실시예의 제1구성부호기1150은 입력되는 비트들을 부호화하여 제1패리티비트들을 발생하며, 부호화된 비트들은 멀티플렉서1170에 입력된다. 또한 상기 인터리버1140은 상기 부호화기 입력된 비트들을 인터리빙하여 제2구성부호기1160에 입력시키며, 상기 제2구성부호기1160은 상기 제1구성부호기1150과 동일한 방법으로 인터리빙된 정보비트들을 부호화하여 제2패리티 비트들을 발생한다. 그리고 상기 제2구성부호기1160에서 출력되는 제2패리티비트들도 상기 멀티플렉서1170에 인가된다. 그러면 상기 멀티플렉서1170은 상기 정보비트 1k에 삽입비트들을 천공하여 출력한다.

따라서 상기 도 11과 같은 채널 부호기는 도 6과 같은 제4실시예와 같은 프레임 구조의 데이터를 발생하여 전송하게 됨을 알 수 있다. 도 15는 상기 제4실시예의 서브프레임 구조의 데이터를 발생하는 과정을 도시하는 타이밍도로써, X 축은 스위치1180, 1181 및 1182의 동작을 표시하고, Y 축은 시간으로 상기 스위치들에서 출력되는 비트들의 타이밍을 도시하고 있다.

복호화 과정에서는 위의 멀티플렉서의 출력값들을 멀티플렉서의 역으로 진행시키면 천공부분에 우리가 알고 있는 삽입비트를 천공하는데 이때 정보비트부분의 비트삽입부분에 -5라는 값을 천공한다. 이과정을 거친 비트들을 기존의 복호기로 복호화 한다.

발명의 효과

상술한 바와 같이 본 발명의 실시예에 따른 프레임 구성 방법은 전체 ARQ 블록 프레임 내에서 오류확률이 큰 위치에 미리 설정한 특정 비트를 삽입하여 채널 부호화하며, 오류 확률은 실험적으로 구하고 삽입 위치는 채널 부호기 및 채널 복호기가 서로 알고 있어야 한다. 이때 상기 삽입되는 특정비트의 삽입위치 및 비트값을 송신측과 수신측이 서로 알고 있으므로, 터보부호기의 삽입비트를 송신하지 않는 것으로 한다. 따라서 본 발명의 실시예에 따른 서브프레임 구조를 사용하면, 상기 삽입비트의 개수에 따라 FER 성능이 달라질 수 있으며, 삽입 비트의 개수가 많을수록 FER 성능이 향상시킬 수 있는 이점이 있다.

(5) 청구의 범위

청구항 1

터보부호기를 사용하는 이동통신 시스템의 프레임 데이터 구성 방법에 있어서,

채널코딩 블록 내에 에미알류 블록의 다수 서브 프레임들을 구성하며, 상기 서브프레임들의 정보비트들 중 오류 확률이 큰 위치에 미리 설정한 특정 비트들을 삽입하여 각 서브프레임들을 정보비트들 및 삽입비트들로 구성된 후 부호화 할을 특징으로 하는 이동통신 시스템의 서브프레임 데이터 구성방법.

청구항 2

터보부호기를 사용하는 이동통신 시스템의 프레임 데이터 전송 방법에 있어서,

정보비트를 소정 크기의 정보비트 단위로 분할입력하며, 상기 입력된 단위 정보비트들에서 오류 확률이 큰 비트 위치에 미리 설정한 특정 비트를 삽입하여, 정보비트, CRC 비트 및 삽입비트들로 구성되는 서브 프레임들을 생성하는 과정과,

상기 서브프레임 생성과정 종료시 상기 생성된 서브프레임들의 비트들을 입력한 후 부호화하며, 부호화 종료시 마지막 서브프레임의 종단 위치에 터보 테일비트를 생성하여 전송하는 과정으로 이루어짐을 특징으로 하는 이동통신 시스템의 서브 프레임 데이터 전송 방법.

청구항 3

터보부호기를 사용하는 이동통신 시스템의 프레임 데이터 전송 방법에 있어서,

정보비트를 소정 크기의 정보비트 단위로 분할 입력하며, 상기 입력된 단위 정보비트들에서 오류 확률이 큰 비트 위치에 미리 설정한 특정 비트를 삽입하여, 정보비트, CRC 비트 및 삽입비트들로 구성되는 서브 프레임들을 생성하는 과정과,

상기 서브프레임 생성과정 종료시 상기 생성된 서브프레임들의 비트들을 입력한 후 부호화하여 전송하는 과정으로 이루어짐을 특징으로 하는 이동통신 시스템의 서브 프레임 데이터 전송 방법.

청구항 4

터보부호기를 사용하는 이동통신 시스템의 프레임 데이터 전송 방법에 있어서,

정보비트를 소정 크기의 정보비트 단위로 분할 입력하며, 상기 입력된 단위 정보비트들에서 오류 확률이 큰 비트 위치에 미리 설정한 특정 비트를 삽입하여, 정보비트 및 삽입비트들로 구성되는 서브프레임들을 생성하는 과정과,

상기 서브프레임 생성과정 종료시 상기 생성된 서브프레임들의 비트들을 입력한 후 부호화하며, 부호화 종료시 마지막 서브프레임의 종단 위치에 터보 테일비트를 생성하여 전송하는 과정으로 이루어짐을 특징으로 하는 이동통신 시스템의 서브 프레임 데이터 전송 방법.

청구항 5

터보부호기를 사용하는 이동통신 시스템의 프레임 데이터 전송 방법에 있어서,

정보비트를 소정 크기의 정보비트 단위로 분할 입력하며, 상기 입력된 단위 정보비트들에서 오류 확률이 큰 비트 위치에 미리 설정한 특정 비트를 삽입하여, 정보비트 및 삽입비트들로 구성되는 서브프레임들을 생성하는 과정과,

상기 서브프레임 생성과정 종료시 상기 생성된 서브프레임들의 비트들을 입력한 후 부호화하여 전송하는 과정으로 이루어짐을 특징으로 하는 이동통신 시스템의 서브 프레임 데이터 전송 방법.

청구항 6

터보부호기를 사용하는 이동통신 시스템의 프레임 데이터 전송 장치에 있어서,

입력정보 비트를 지연하는 지연기와,

상기 입력정보와 상기 지연기의 출력을 서브 프레임 단위로 스위칭 출력하는 제1스위치와,

상기 스위치에 출력되는 서브프레임 단위의 정보비트들에 대한 CRC를 생성하는 CRC비트 생성기와,

오류 확률이 큰 정보 비트 위치에 삽입할 특정 삽입비트들을 발생하는 삽입비트 생성기와,

상기 스위치, CRC비트 생성기 및 삽입비트 생성기의 출력을 스위칭 출력하는 제2스위치와,

상기 제2스위치의 출력을 부호화하는 터보부호기로 구성되어,

상기 서브프레임 단위 정보비트들에서 오류 확률이 큰 비트 위치에 미리 설정한 특정 비트를 삽입하여 정보비트, CRC 비트 및 삽입비트들로 구성되는 서브프레임들을 생성하여 전송할을 특징으로 하는 이동통신 시스템의 서브 프레임 데이터 전송 장치.

청구항 7

터보부호기를 사용하는 이동통신 시스템의 프레임 데이터 전송 장치에 있어서,

입력정보 비트를 지연하는 지연기와,

상기 입력정보와 상기 지연기의 출력을 서브 프레임 단위로 스위칭 출력하는 제1스위치와,

오류 확률이 큰 정보 비트 위치에 삽입할 특정 삽입비트들을 발생하는 삽입비트 생성기와,

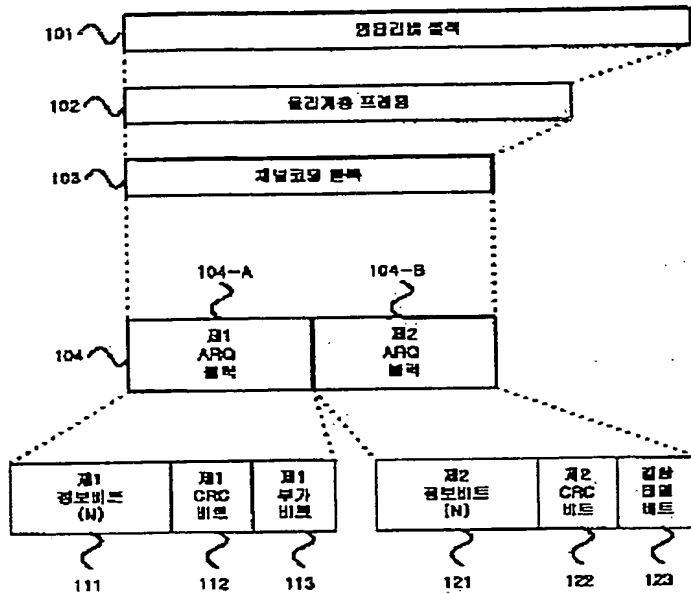
상기 스위치 및 삽입비트 생성기의 출력을 스위칭 출력하는 제2스위치와,

상기 제2스위치의 출력을 부호화하는 터보부호기로 구성되며,

상기 서브프레임 단위 정보비트들에서 오류 확률이 큰 비트 위치에 미리 설정한 특정 비트를 삽입하여 정보비트 및 삽입비트들로 구성되는 서브프레임들을 생성하여 전송할을 특징으로 하는 이동통신 시스템의 서브 프레임 데이터 전송 장치.

도면

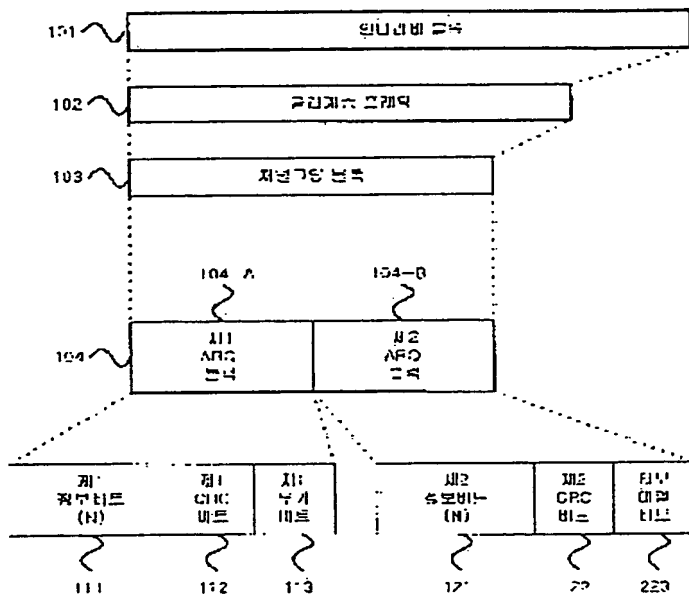
도면1



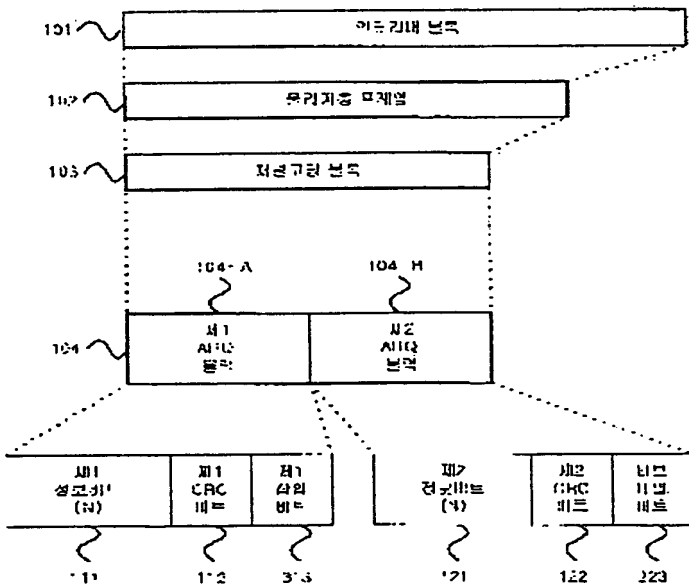
BEST AVAILABLE COPY

BEST AVAILABLE COPY

도면2

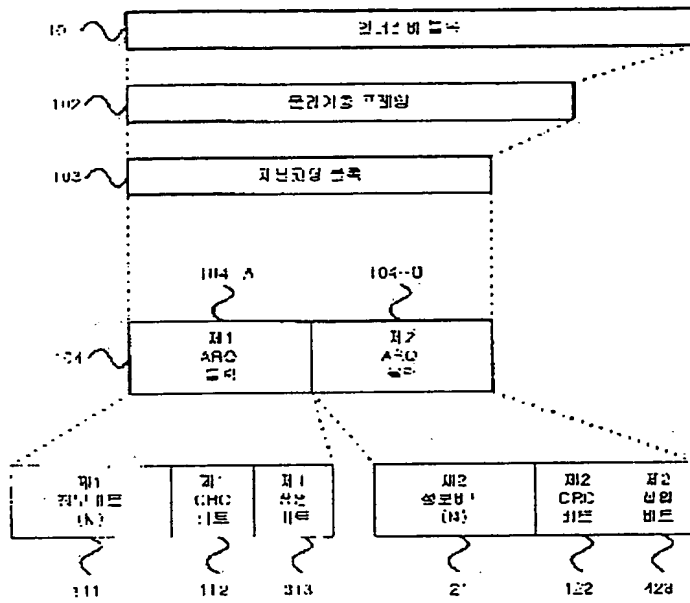


도면3

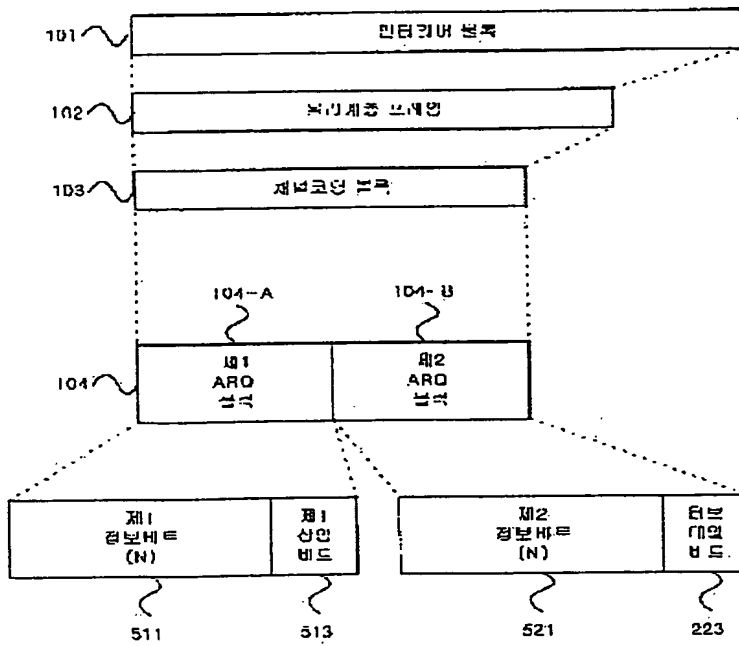


BEST AVAILABLE COPY

도면4

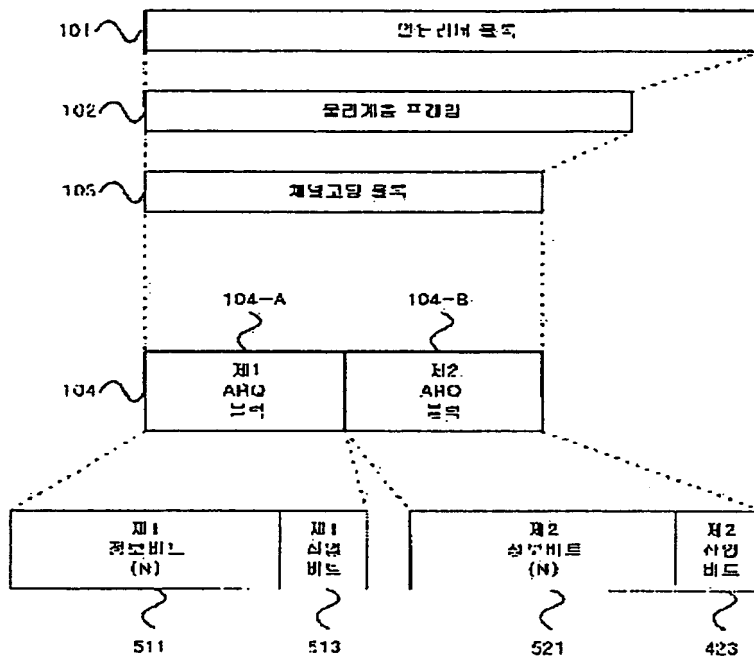


도면5

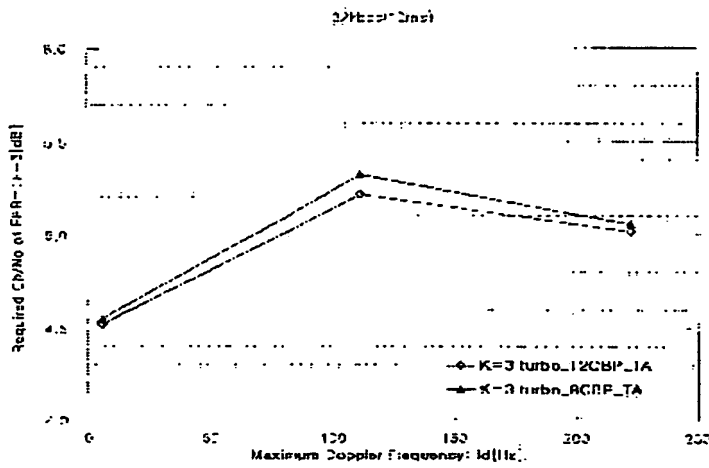


BEST AVAILABLE COPY

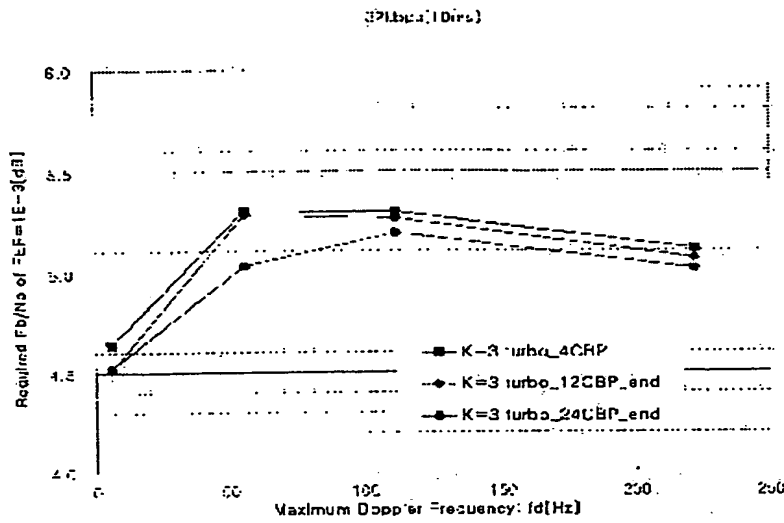
도면6



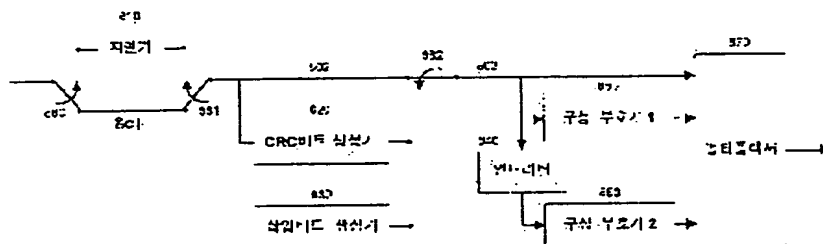
도면7a



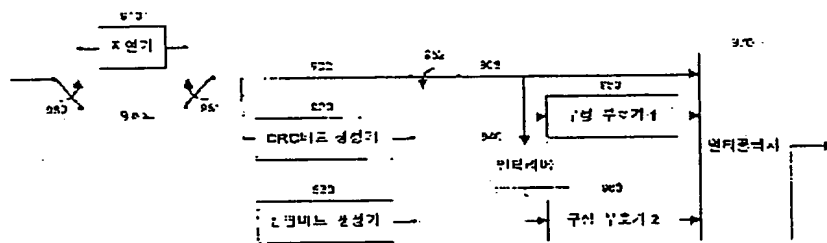
도면7b



도면8

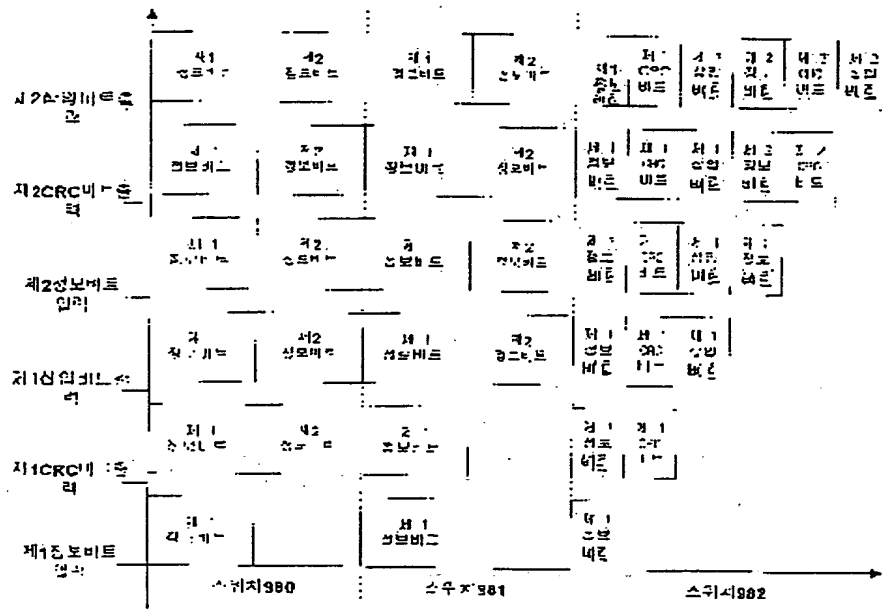


도면9

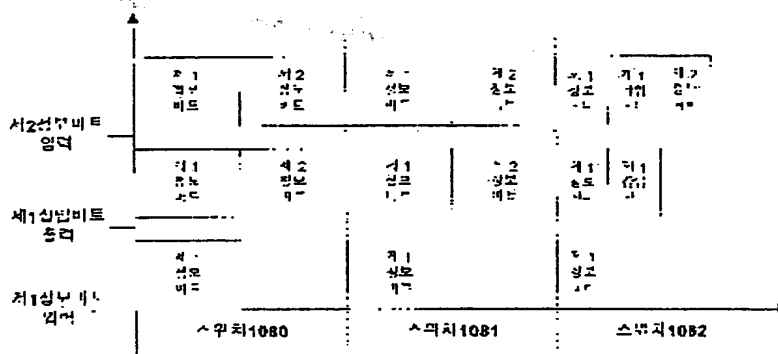


BEST AVAILABLE COPY

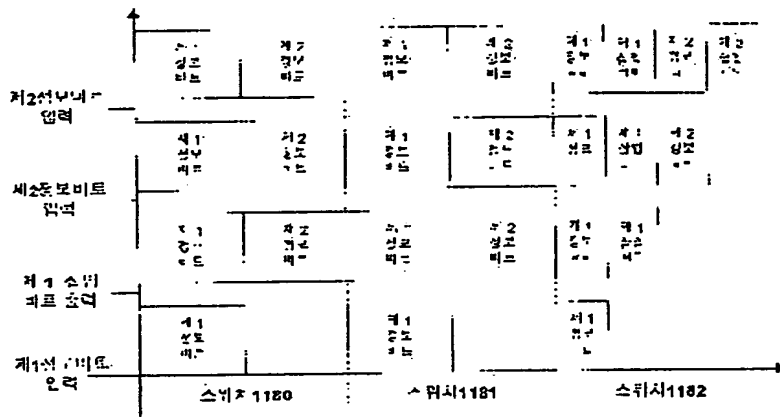
도면 13



도면 14



도면 15



BEST AVAILABLE COPY